

回路素子シミュレーションとアクティブ・フィルタ 設計に対する一考察

石田 雅*・戎谷 圭介*

(1983年6月17日受理)

A Consideration for Circuit Component-Simulation and Active Filter Design

by

Masaru ISHIDA* and Keisuke EBISUTANI*

(Received June 17, 1983)

In this paper, a method is proposed that realizes general circuit component-simulation with only one resistor and with a minimum number of operational amplifiers. Various types of circuit component-simulation, such as an inductance, a frequency-dependent negative-resistance, a frequency-dependent negative-inductance, are systematically derived by the suitable choice of the amplifier transfer function. The described method is based upon a single-pole rolloff model of an operational amplifier. From the theoretical analysis, we show that the proposed structure works well in the higher frequency range.

1 ま え が き

近年、集積回路の進歩と普及によって電子回路の構成法は変化し、電子機器の小形化も急速に進んでいる。このような傾向の中で、小形化困難であるインダクタンスを除外する回路構成法として、回路素子シミュレーション及びアクティブ・フィルタなどが研究されてきた^{1)~3)}。最近、LC回路は理論的に確立されているばかりでなく、通過域で素子感度が低い点を生かす方向で、回路合成にLCシミュレーション回路を積極的に取り入れるようになっている。インダクタンスを直接シミュレートする方法として、受動LC回路のインダクタンス部分を演算増幅器と抵抗とコンデンサを用いてシミュレートするインダクタンス・シミュレーション (Inductance simulation) があ

る^{1)~3)}。また、フローティング・インダクタンスを接地型F DNR (Frequency-dependent negative-resistance) で置き換えるインピーダンス・スケーリング (Impedance scaling) 法がある⁴⁾。

しかし、上記のような回路構成は、演算増幅器、抵抗とコンデンサが必要となるばかりでなく、演算増幅器の開ループ利得 $A(s)$ を無限大と仮定しているため、使用できる周波数範囲も数 KHZ 以下と狭い上、トリミングが容易でない欠点がある。

本論文では、演算増幅器の開ループ利得 $A(s)$ に対し、1次近似モデルを適用することにより、高い周波数まで動作可能であり、また、構成素子として演算増幅器とただ1個の抵抗のみを使用し、回路構成が簡単な回路素子

* 電気工学科 Department of Electrical Engineering

シミュレーションを提案する。本構成法により、汎用の演算増幅器を用いても、約 1 MHz まで動作周波数の拡大が可能となる。さらに、これら回路素子シミュレーションをアクティブ-R フィルタ回路に応用する実現例についても示している。

2 回路素子シミュレーションの基礎理論

ここでは、まず、回路素子シミュレーションの基礎をなす演算増幅器の 1 次近似モデルを考察し、つぎに、駆動点インピーダンス $Z_{in}(s)$ と伝達関数 $T(s)$ との関係について述べる。

2.1 演算増幅器の 1 次近似モデル

一般に使用されている演算増幅器の開ループ利得 $A(s)$ は無限大として仮定されているが、実際にはこの仮定は満足されていない場合がある。そこで、演算増幅器の開ループ利得 $A(s)$ は実際の開ループ特性より、次のような 1 次近似的を用いて表わすものとする。

$$A(s) = A_0 \omega_p / (s + \omega_p) = GB / (s + \omega_p) \quad (1)$$

ここで A_0 は開ループ直流利得、 ω_p は 3 dB 帯域幅、 GB は利得帯域幅積を表わす。使用する周波数 s は充分高く、 $|s| \gg \omega_p$ とおけば、式(1)は次のようになる。

$$A(s) = GB/s \quad (2)$$

以後、式(2)が成り立つものとして解析を行うことにする。

2.2 駆動点インピーダンスのシミュレーション

Fig. 1 に駆動点インピーダンスのシミュレーション回路を考察する為の基本構成を示す。ここで $T(s)$ は 1 個ま

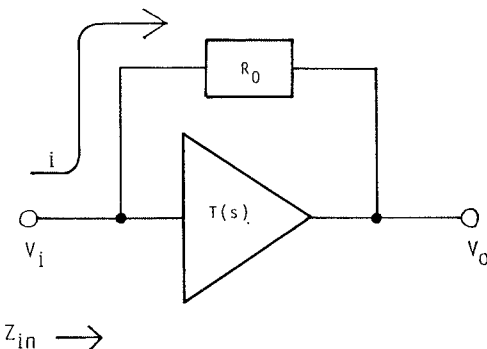


Fig. 1 Basic circuit

たは複数個の演算増幅器より成る回路の伝達関数 $T(s)$ を表わしている。また、電流 i は帰還抵抗 R_0 を通して出力 V_o へ流れるものと仮定すれば、次式が成り立つ。

$$V_o = T(s) \cdot V_i \quad (3)$$

$$V_i = R_0 \cdot i + V_o \quad (4)$$

式(3), (4)より駆動点インピーダンス $Z_{in}(s)$ は

$$Z_{in}(s) = V_i / i = R_0 / [1 - T(s)] \quad (5)$$

となる。このとき伝達関数 $T(s)$ を

$$T(s) = N(s) / D(s)$$

と置くことにより、求める駆動点インピーダンス $Z_{in}(s)$ は次式のようになる。

$$Z_{in}(s) = R_0 \cdot D(s) / [D(s) - N(s)] = R_0 \cdot f(s) \quad (7)$$

以上から明らかのように、Fig. 1 において適当な伝達関数 $T(s)$ を選ぶことによって、種々の駆動点インピーダンスをシミュレートできることが分かる。

2.3 新しい回路素子の生成

式(7)によってシミュレートされる駆動点インピーダンス $Z_{in}(s)$ は、適当な伝達関数 $T(s)$ を仮定する場合、通常の電気回路では現われないインピーダンス素子を実現できる可能性がある。その主なものは、インダクタンス L を複素角周波数 s でインピーダンス・スケーリング⁹⁾することにより生じる s^2M (Frequency-dependent negative-resistance : FDNR), s^3N (Frequency-dependent negative-inductance : FDNL), また、コンデンサ C を $(1/s)$ でインピーダンス・スケーリングすることにより生じる $1/(s^2D)$ (Frequency-dependent negative-conductance : FDNC), $1/(s^3E)$ (Frequency-dependent negative-capacitance : FDNCA) である。さらに、 s^4O とか $1/(s^4F)$ とかいう周波数依存正抵抗 (Frequency-dependent positive-resistance : FDPR) なる素子も生成可能と思われる。このような新しい素子は、後で述べるようにアクティブ・フィルタを構成する場合に役立つ。

Table 1 (a), (b) は、代表的な回路素子をシミュレートする増分の、数個の演算増幅器で実現できる伝達関数 $T(s)$ を示している。

Table 1 Transfer function of operational amplifier block

(a)

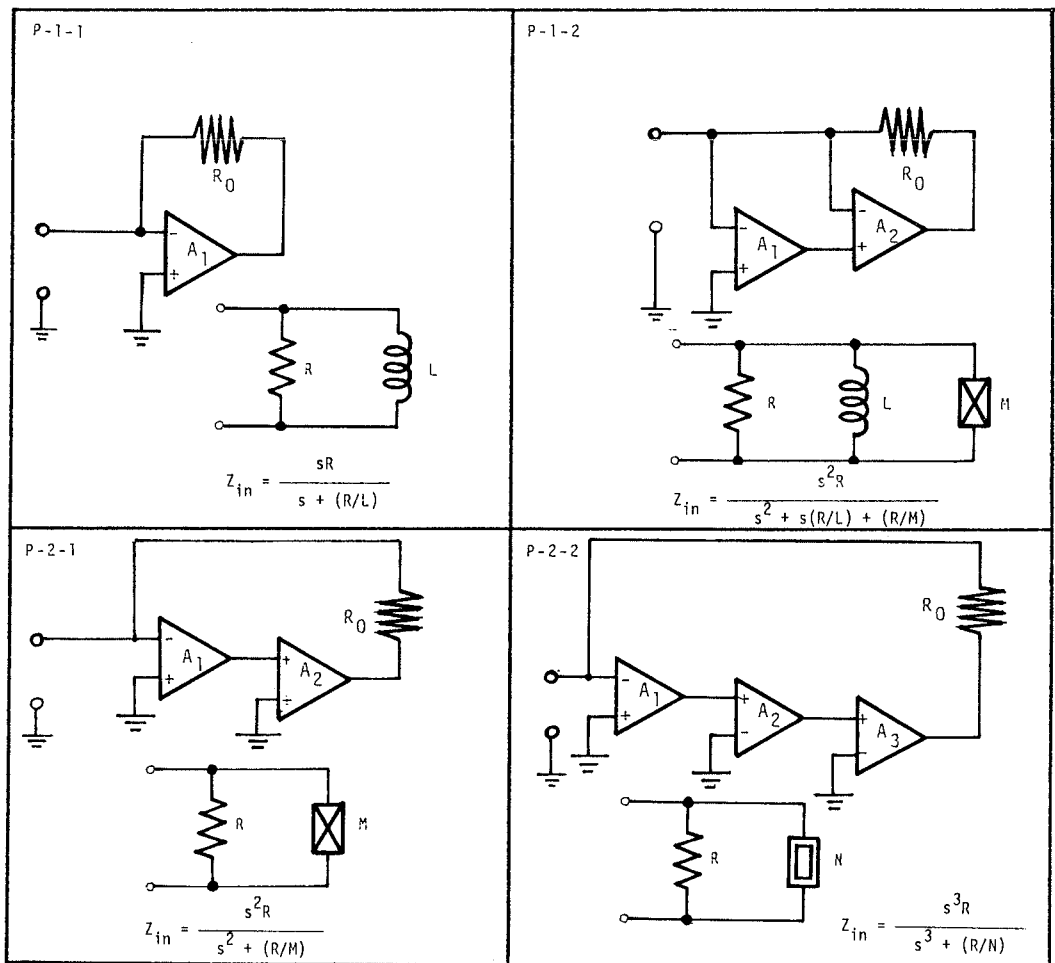
Type	Transfer function T(s)
P-1-1	$-A_1$
P-1-2	$-A_2(1+A_1)$
P-2-1	$-A_1A_2$
P-2-2	$-A_1A_2A_3$

(b)

Type	Transfer function T(s)
S-1-1	$A_1/(1+A_1)$
S-1-2	$A_{12}(1+A_{12})/(1+A_{12}+A_{12}^2)$ $A_1=A_2=A_{12}$
S-2-1	$A_1A_2/(1+A_1A_2)$
S-2-2	$A_1A_2A_3/(1+A_1A_2A_3)$

Table 2 Impedance configurations

(a)



3 回路素子シミュレーションの実現構成例

本節は、演算増幅器 2～3 個で構成される代表的な回路素子シミュレーションの実現例を、並列接続タイプと直列接続タイプとに分けて述べる。

3.1 並列接続タイプのシミュレーション

伝達関数 $T(s)$ として **Table 1** (a) を満足する 2 素子および、3 素子の並列接続回路の実現例を **Table 2** (a) に示している。ここで実現例は **Table 1** のタイプに従って分類した。

1 つの例として、P-2-1 の回路を取りあげて説明する。P-2-1 の回路を満足する伝達関数 $T(s)$ は、**Table 1** (a)

より $-A_1A_2$ であることがわかっているので、式(5)へ代入すると、

$$Z_{in}(s) = R_0 / (1 + A_1A_2) \quad (8)$$

となり、式(8)へ式(2)を代入すると次式を得る。

$$Z_{in}(s) = R_0 \cdot s^2 / (s^2 + GB_1GB_2) \quad (9)$$

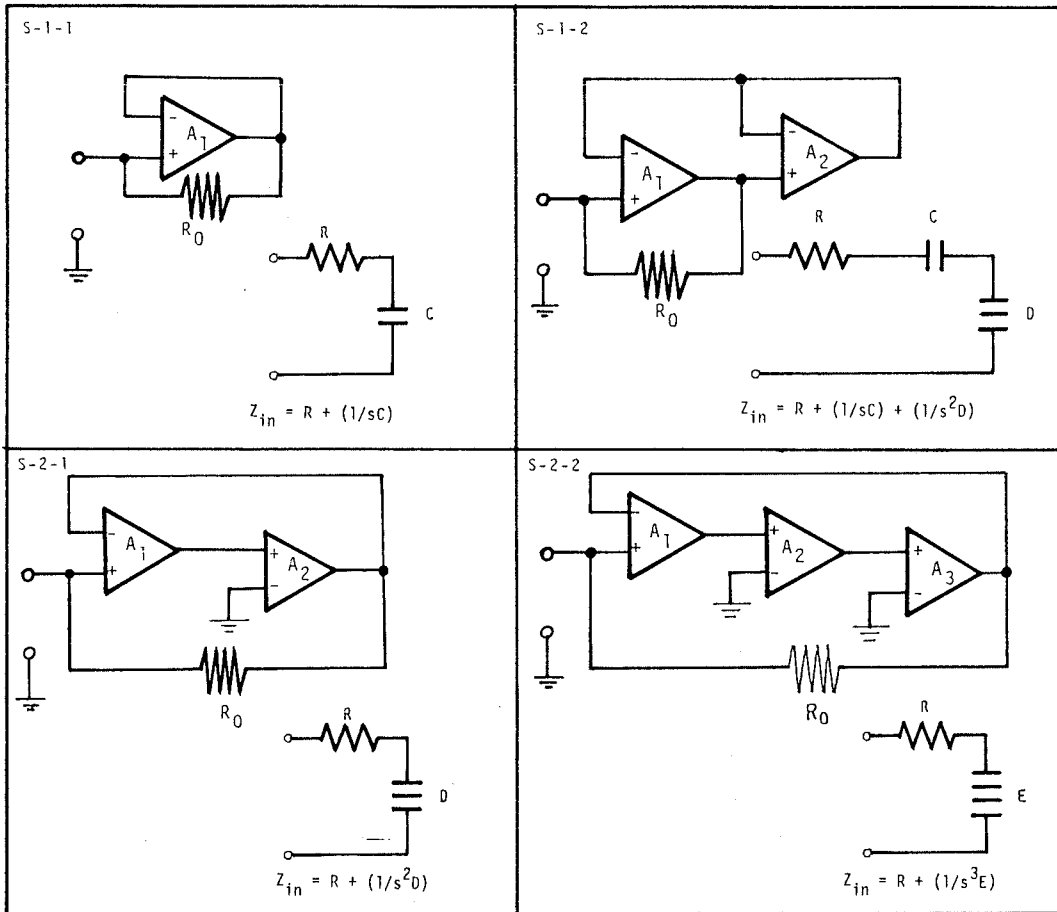
よって式(9)より、P-2-1 の回路が抵抗素子 R と FDNR(記号 M で表わす)との 2 素子並列接続回路となることが明らかである。このときシミュレートされた各素子値は次式となる。

$$R = R_0 \quad (10)$$

$$M = R_0 / GB_1GB_2 \quad (11)$$

Table 2 (Continued)

(b)



他の並列接続タイプの回路構成も上述と同様な方法で導出される。

P-1-1⁰ P-2-1より分かるように、単に演算増幅器を1個ずつ付加することで、先に述べたFDNR(M), FDNL(記号Nで示す)を含んだ並列接続回路がシミュレートされていることが分かる。

3. 2 直列接続タイプのシミュレーション

3. 1の並列接続タイプの場合と同様に、入力を反転入力端子を用いる方法を試みたが、数多くの受動、能動素子を必要とすることが分かった。しかし、非反転入力端子を用いることにより、簡単な回路構成でシミュレート可能となった構成例が Table 2 (b)に示されている。

Table 2 (b)においても、先の3. 1と同様に演算増幅器を1個ずつ付加することにより、2素子、3素子直列接続回路がシミュレートされることが分かる。この内、S-1-1⁰の回路はRCフィルタへ適用可能となる。またこれまで低域通過、帯域通過等、アクティブRCフィルタの例は数多く発表されているが、S-2-1の回路を用いれば簡単な構成回路で帯域除去フィルタも実現することができる。

4 シミュレーション素子の生成と消滅

前節に示した Table 2 (a), (b)の回路素子シミュレーションにおいて、帰還抵抗をさらに付加すれば、新たな素子が生成され、逆に取り除けば、シミュレートされていた素子が消滅したりすることがある。また、ある接続端子を変更すれば、新たなシミュレーション回路が生成される結果となる。

例としてP-2-1の回路について説明する。Fig. 2は、P-2-1の回路において端子1, 1'に新たな抵抗素子R₁を接続した場合を示している。この結果は Fig. 2 (b)のよう

な等価回路に示されるように、P-2-1の等価回路にインダクタンスLが付加されることを示している。一般的にシミュレートされる各素子値は、抵抗素子R₁が接続される以前の各値から変化する。すなわち抵抗値Rは、R₁の接

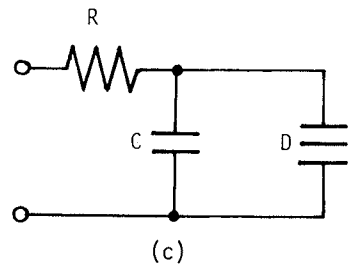
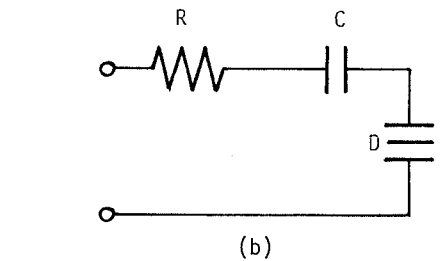
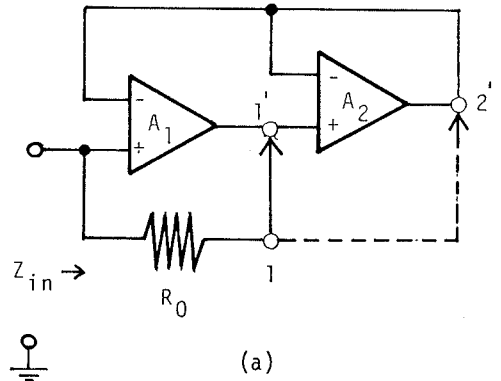


Fig. 3 R-C-D configurations

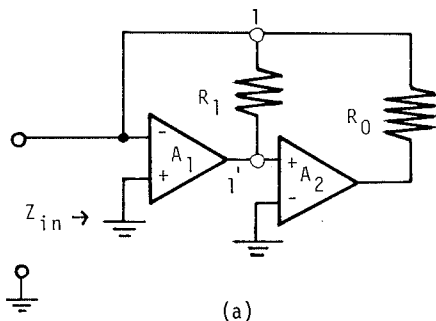
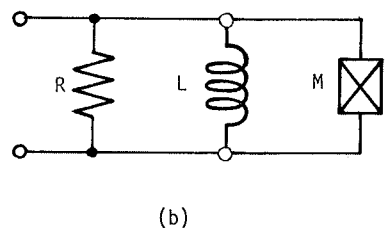


Fig. 2 R-M and R-L-M configurations

続される以前は R_0 であるが、接続後は R_1 の成分が入り、 $R=R_0/R_1$ (ここで $R_0/R_1=R_0R_1/(R_0+R_1)$) となる。FDNR の値 M は、接続前、後とも $M=R_0/GB_1 \cdot GB_2$ となる。一方 R_1 の接続により生じたインダクタンス値 L は $L=R_1/GB_1$ である。このようなことは、他の並列接続タイプに対しても成立つことが分かっている。

つぎに、直列接続タイプの場合について述べる。S-1-2の回路について考察する為、Fig. 3 に再び S-1-2の回路を示す。直列接続タイプの場合は解析の結果、先の並列接続タイプの場合と異なり、新たな抵抗を付加することによっては新たな素子の生成、消滅は起こらないことが分かった。しかし、筆者らは Fig. 3(a) に示す帰還抵抗 R_0 の一方の端子 1 をある端子へ接続することにより、新たなシミュレーション回路を生成することを見出した。その様子は Fig. 3(b), (c) に示されている。端子 1-1' 接続によりシミュレートされた各素子値 R, C, D はそれぞれ $R_0, 1/R_0 \cdot GB_1, 1/R_0 GB_1 GB_2$ となる。また、端子 1, 1' の代りに端子 1-2' 接続の場合の各素子値は、端子 1-1' 接続の場合と同じ値を示すが、キャパシタンス C と FDNC(D) は並列になることが分かる。

5 アクティブ・フィルタへの適用例

ここでは各種の回路素子シミュレーションをアクティブ・フィルタに適用した場合、特にフィルタ構成に有効と思われる回路例を 3 例示すことにする。

5.1 RC フィルタへの適用

一般的な 3 段 RC フィルタ Fig. 4(a) において、点線で

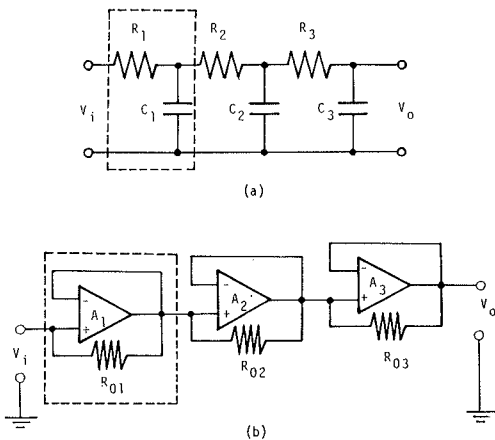


Fig. 4 RC filter

囲まれた RC 回路を(b)の点線の RC シミュレーション回路で置換することにより、RC フィルタを構成しようとするものである。

5.2 4次帯域通過フィルタへの適用

Fig. 5(a) は 4 次帯域通過フィルタの基本回路を示している。(b) は(a)の回路を複素角周波数 s により、インピーダンス・スケールリングを行なって得られた回路である。尚、このときインピーダンス・スケールリングを行うことにより、フィルタ特性は保存されるという性質を利用している。また(b)に対する実現回路が(c)に示している。結果として本フィルタ回路を、S-2-1の RD シミュレーション回路と P-2-1の RM シミュレーション回路との結合により、アクティブ-R で実現できることがわかる。

5.3 2次帯域除去フィルタへの適用

Fig. 6(a) は 2 次帯域除去フィルタの基本回路を示したもので、(b) は 5.2 の場合と同様に、(a) に複素角周波数

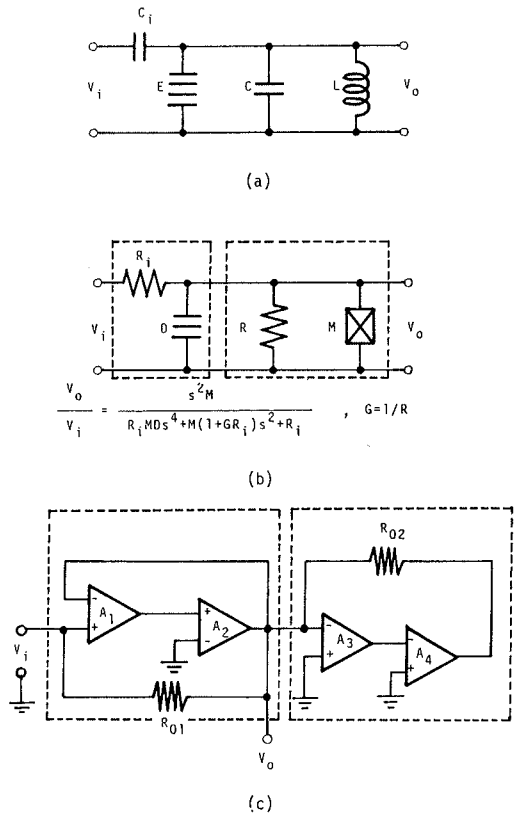


Fig. 5 4th-order bandpass filter

6 む す び

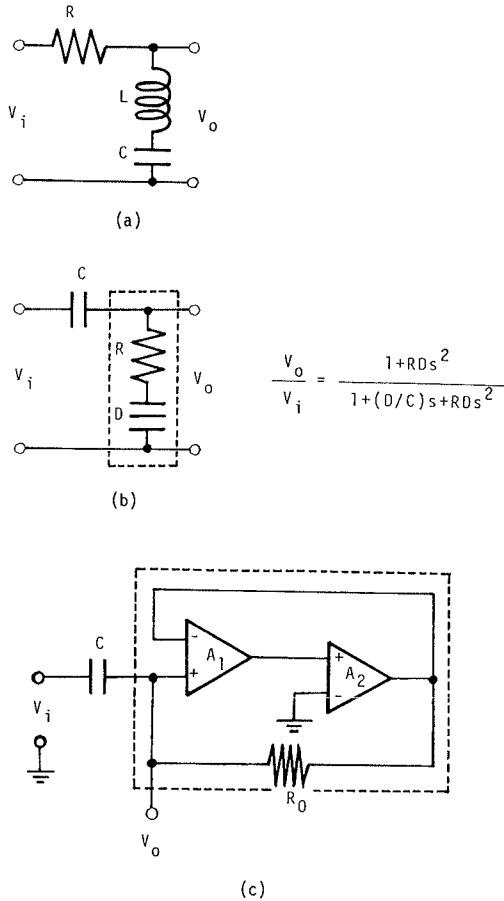


Fig. 6 2nd-order bandstop filter

の逆数 (1/s) でインピーダンス・スケーリングを行って得られた回路を示しており、その実現回路は(c)に示されている。本フィルタ回路はS-2-1の回路を用いており、回路構成も容易であるので有用なものと思われる。

以上、新しいシミュレーション回路はアクティブ・フィルタへの適用が可能であり、代表的な3例を簡単に述べた。これらの中で、4次帯域通過フィルタおよび2次帯域除去フィルタについては、これまでの所あまり報告例がなく、電子回路構成の新しい手法になると考えられる。ただ、これらはすべての電子回路へ適用されるものではなく、回路構成への新しい1つの手法となると思われる。

本論文は、演算増幅器を1次近似モデルで取扱い、素子シミュレーションの新しい回路を提案し、これらシミュレーション回路のフィルタへの適用についての1手法について述べた。特に、2~3個の演算増幅器を用いた場合の2素子および3素子直列、並列接続シミュレーション回路について述べ、付加抵抗による各シミュレーション素子の生成、消滅についても簡単な例で示した。また、これらの回路のフィルタへの適用例として、アクティブ-Rフィルタについて述べた。また、4次帯域通過、2次帯域除去フィルタへの適用例を示し、これまで例の少ない回路構成領域への拡張性を明らかにした。

おわりに、本研究を行うにあたって種々御討論頂いた本学工学部電気工学科福井裕教授に対して深く感謝いたします。また、回路解析に御協力いただいた田中洋一君に御礼申し上げます。

参 考 文 献

- 1) 今井 他: "演算増幅器を用いた LCシミュレーション回路の実現について", 電子通信学会論文誌 A, J61-A, No. 5, pp. 456-463, 1978.
- 2) 野口誠一 他: "1個の差動型演算増幅器を用いたインダクタシミュレーション", 電子通信学会技術研究報告, CAS 79-86, pp. 1-6
- 3) R. H. Riordan: "Simulated inductors using differential amplifiers", Electronics Lett., vol. 3, No. 2, pp. 50-51, 1967.
- 4) W. Saraga et al: "A design Philosophy for microelectronic active-RC fileter", Proc. IEEE, vol. 67, pp. 24-33, No. 1, 1979.
- 5) 野口誠一: "インピーダンス・スケーリングとシミュレーションについて", 電子通信学会技術研究報告, CAS 81-42, pp. 39-46.
- 6) P. V. Ananda Mohan: "Novel active filters using operational amplifier pole", Electron. Lett., vol. 16, pp. 378-380, 1980.